

Citation 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-266019

(43)Date of publication of application : 22.09.1992

(51)Int.Cl. H01L 21/205
H01L 29/784
H01L 31/04
H01L 31/10
H05H 1/00

(21)Application number : 03-045591

(71)Applicant : CANON INC

(22)Date of filing : 20.02.1991

(72)Inventor : MOCHIZUKI CHIORI
MIZUTANI HIDEMASA

(54) FILM FORMATION

(57)Abstract:

PURPOSE: To improve the bonding characteristics of an amorphous thin film and a microcrystalline thin film as piled up each other.

CONSTITUTION: The step of depositing at least a microcrystalline thin film and the step (tA) of irradiating the microcrystalline thin film with hydrogen plasma are alternately executed a plurality of times. The microcrystalline thin film can be deposited immediately without preparing an amorphous layer at the beginning of film formation. Therefore, characteristics such as photoconductivity and carrier transportability improve in devices such as field effect transistor, photosensor, and solar cell. Further, there are productivity advantages of reduction in thickness of a deposition film and the like.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-266019

(43) 公開日 平成4年(1992)9月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205		7739-4M		
29/784				
31/04				
		9056-4M	H 0 1 L 29/78	3 1 1 F
		7376-4M	31/04	B

審査請求 未請求 請求項の数 3 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平3-45591

(22) 出願日 平成3年(1991)2月20日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 望月 千織

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 水谷 英正

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 山下 穰平 (外1名)

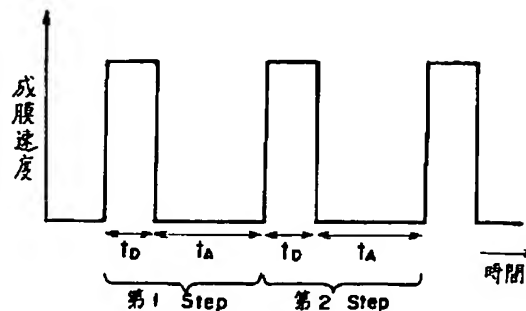
(54) 【発明の名称】 成膜方法

(57) 【要約】

【目的】 非晶質薄膜上に微結晶薄膜を積層する際の膜の接合特性を向上させる。

【構成】 少なくとも微結晶薄膜を堆積させる過程 (t_D) と該微結晶薄膜に水素プラズマを照射する過程 (t_A) とを交互に複数回行う。

【効果】 成膜初期の非晶質層を作成することなく直ちに微結晶薄膜を堆積できる、そのため、電界効果型トランジスタ、光センサー、太陽電池などのデバイスにおいて、光導電性、キャリア輸送性などの特性が向上する。更に、堆積膜厚を小さくできるなどの生産性に対する利点もある。



【特許請求の範囲】

【請求項1】 非晶質または微結晶の薄膜上に微結晶薄膜を堆積・接合する成膜方法において、少なくとも微結晶薄膜を堆積させる過程と該微結晶薄膜に水素プラズマを照射する過程とを交互に複数回行うことを特徴とする微結晶薄膜の成膜方法。

【請求項2】 前記微結晶薄膜がシリコンを含んでなることを特徴とする、請求項1に記載の成膜方法。

【請求項3】 前記微結晶薄膜が不純物ドーピングされていることを特徴とする、請求項1に記載の成膜方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は微結晶薄膜の堆積方法に関するものであり、特にデバイス作製時に非晶質薄膜上に微結晶薄膜を堆積・接合させる方法に関する。

【0002】

【従来の技術】従来、微結晶 (μc) シリコン (以下 $\mu c-Si$ と略記) 膜即ち粒径 $30 \sim 500 \text{ \AA}$ 程度の微小な結晶が非晶質中に分散されている膜、及び非晶質 (a) シリコン (以下 $a-Si$ と略記) 膜の製造方法としては、 SiH_4 と H_2 とを原料ガスとする高周波プラズマCVD法やマイクロ波プラズマCVD法などが用いられてきた。この様な、プラズマCVD法の特徴は、必要に応じてガス濃度などの放電条件を制御して、13.56MHzまたは、2.54GHzの高周波により原料ガスを分解して反応性のある活性種を作り、基板上に必要に応じて $a-Si$ 膜または $\mu c-Si$ 膜を堆積できることである。更に、原料ガス中に PH_3 、 B_2H_6 などのドーピングガスを混合することにより、n型またはp型の価電子制御が可能となる。

【0003】これを利用して様々なデバイスが作成されてきた。 $\mu c-Si$ や $a-Si$ の場合には単結晶 (c) シリコン (以下 $c-Si$ と略記) と異なり、低温基板やガラス基板に成膜することができ、大面積化も可能なため、 $c-Si$ とは異なる利用分野が開けた。主なデバイスとしては太陽電池、ラインセンサー、液晶ディスプレイ用のTFTなどがある。

【0004】

【発明が解決しようとする課題】しかしながら、上記デバイスを作成する場合、そのプロセスは、基板の洗浄から、電極の成膜、p、i、n型などの各半導体層の成膜、あるいはそれらの積層、更に各層のパターニングなど多岐にわたる。これらの中でも最もデバイス特性に影響を与えるプロセスは各層の積層過程である。従って、各層の積層過程を安定化させ、また、各層の接合を改善することがデバイス特性を向上させるために重要となる。

【0005】例えば、従来の逆スタガー型のTFTでは、絶縁層として $a-SiN$ 薄膜、半導体層として $\mu c-Si$ 薄膜、オーミックコンタクト層としてリンをドー

プした n^+ 型 $\mu c-Si$ 薄膜を積層している。この積層プロセスにおける $a-SiN$ 薄膜 / i 型 $\mu c-Si$ 薄膜の接合の良否は、S/N比、信頼性などTFT特性に大きな影響を及ぼす。また、従来のギャップ型光センサーでは絶縁層として $a-SiN$ 薄膜、光導電層として i 型 $a-Si$ 薄膜、オーミックコンタクト層としてリンをドーブした n^+ 型 $\mu c-Si$ 薄膜を積層しており、同様に、積層プロセスにおける i 型 $a-Si$ 薄膜 / n^+ 型 $\mu c-Si$ 薄膜の接合の良否は光応答、光電流などの諸特性に影響を及ぼす。

【0006】通常、 $\mu c-Si$ 薄膜を成膜する場合、初期膜は $a-Si$ 薄膜となり、 $\mu c-Si$ の生成が困難である。しかし、堆積が進んで膜厚が増大するにつれて、 $\mu c-Si$ 薄膜が生成される。同様に、リンまたはホウ素を不純物としてドーブした $\mu c-Si$ 薄膜においても、不純物濃度は膜の成長過程 (膜厚) に無関係であるが、堆積初期は $a-Si$ 膜が成長する。しかし、堆積が進んで膜厚が増大するにつれて、 $\mu c-Si$ 薄膜が成長する。例えば、リンを不純物としてドーブした $\mu c-Si$ 薄膜のフェルミ準位の移動は、膜厚が 10 nm と薄い場合には不十分でドーピング効率が悪く、 30 nm 以上の膜厚でなければフェルミ準位の移動の大きな薄膜を得ることはできない。即ち、ドーピングの有無に関わらず $\mu c-Si$ 薄膜の成膜初期には $a-Si$ 薄膜が成長する。そして、それはデバイス特性に大きな影響を与えている。

【0007】従って、本発明の目的は、安定したデバイスを提供することにより、特に、積層膜の接合特性を向上させることにより、従来よりも光導電性やキャリア輸送性の高いデバイスの製造を可能とする成膜方法を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、以上の如き目的は、非晶質または微結晶の薄膜上に微結晶薄膜を堆積・接合する成膜方法において、少なくとも微結晶薄膜を堆積させる過程と該微結晶薄膜に水素プラズマを照射する過程とを交互に複数回行うことを特徴とする微結晶薄膜の成膜方法、により達成される。

【0009】本発明において、微結晶薄膜としてはシリコンを含んでなるものが例示でき、また微結晶薄膜に不純物をドーピングすることができる。

【0010】本発明は、例えばシリコン含有の薄膜の積層において、特に非晶質薄膜上に微結晶シリコン薄膜を堆積・接合する段階で、以下の方法を用いることによりなされる。即ち、基板上に微結晶半導体薄膜を成膜する過程とその薄膜に水素プラズマ照射を行う過程とを交互に複数回繰り返して行うのである。本方法により堆積初期にも $a-Si$ 薄膜を生成することなく、直ちに $\mu c-Si$ 薄膜を成長できる。この時、微結晶半導体薄膜を成膜する1回の堆積膜厚は 100 \AA 以下であり、望ましく

は10Å以下であること、及び、水素プラズマ照射を行う際の基板温度は200℃以上、望ましくは300℃以上に保持する。

【0011】本発明で薄膜を堆積する手順は、その一例を図1に示すように、一定時間 t_0 の間に堆積を行った後に、この堆積膜に対して別の一定時間 t_A だけ水素プラズマ照射を行う。この一組のステップを複数回繰り返す。この時、 t_0 、 t_A は各ステップにおいて同一とは限らず、また、放電は第一ステップの堆積過程より投入される。水素プラズマ照射の方法としては、種々可能であるが、ここで重要なことは、原子状水素を堆積膜の表面に輸送することであり、通常用いられる平行平板型の高周波グロー放電に限らず、マイクロ波プラズマなども使用可能である。 $\mu c-Si$ 膜を堆積する方法として平行平板型プラズマCVD装置を利用する場合には、水素プラズマも同一の装置により極めて容易に得られ、薄膜堆積と水素プラズマ処理を行うことが可能となる。具体的には、 $\mu c-Si$ 薄膜を堆積するときの原料ガスである SiH_4 と H_2 から SiH_4 ガスの流れをオン・オフ制御するだけで可能となる。成膜ガス濃度は10%以下、望ましくは2%以下である。放電条件は、概ね通常用いられている範囲で達成可能である。

【0012】勿論、不純物をドーピングした $\mu c-Si$ 薄膜を作成する場合においても、原料ガスである SiH_4 と PH_3 または B_2H_6 などをオン・オフすることにより可能となる。

【0013】

【実施例】(実施例1)

本発明方法を用いて、図2の構成の電界効果型薄膜トランジスタを作製した。図2において、絶縁性基板201上にゲート電極202が形成されており、更にその上に絶縁層203と半導体層204が積層されている。半導体層204上には、オーミックコンタクト層205を介してソース・ドレイン電極206が形成されている。

【0014】次に、この電界効果型薄膜トランジスタの作製方法を記す。第1に、コーニング製7059ガラス基板にスパッタリング装置により、Cr電極(約500Å厚)を形成した。第2に、プラズマCVD装置(図3及び図4)により、 $a-SiN$ 薄膜(約3000Å厚)を成膜し、次いで、 i 型 $\mu c-Si$ 薄膜(約500Å厚)及び n^+ 型 $\mu c-Si$ 薄膜(約1000Å厚)を同一装置で順次成膜した。第3に、スパッタリング装置により、Al電極(約1μ厚)を形成した。チャンネル幅Wとチャンネル長Lは $W/L=100$ とした。第4に、リアクティブ・イオン・エッチングにより、不要な n^+ 型 $\mu c-Si$ 層をエッチングし、更に不要な $a-SiN/i$ 型 $\mu c-Si/n^+$ 型 $\mu c-Si$ 層をアイソレーションした。

【0015】ここで、本発明のポイントとなる接合・堆積プロセスについて詳細に述べる。上述の第2で述べた

様に、 $a-SiN$ 薄膜成膜後の i 型 $\mu c-Si$ 薄膜の成膜及び i 型 $\mu c-Si$ 薄膜成膜後の n^+ 型 $\mu c-Si$ 薄膜の成膜は、各々図3及び図4に示したプラズマCVD装置により行われた。各図は同一の装置をそれぞれ異なる部分を省略して示すものである。各図において、301~305はそれぞれ真空チャンバーであり、排気ポンプ311~315が付いている。301は基板の搬入室である。302、303、304はそれぞれ $a-SiN$ 、 i 型 $\mu c-Si$ 、 n^+ 型 $\mu c-Si$ の成膜室である。305室は基板の搬出室である。306、307、308、309は各室を仕切るゲートバルブである。基板搬送機構(不図示)により基板の搬送を行い、成膜順に従って各室を移動する様になっている。

【0016】先ず、図3において、基板は301室より搬入され、 $a-SiN$ 薄膜約3000Åを302室(電源などは不図示)にて、基板温度350℃、圧力0.2 Torr、原料ガス SiH_4 、 NH_3 、 H_2 を各々10、280、90 sccm導入し、放電パワー30W、 $t_A=0$ にて連続的に成膜した。成膜後同室で基板温度が250℃となるまで冷却した後、303室へ移動し i 型 $\mu c-Si$ 薄膜を成膜した。341は電極を兼ねた基板支持台で、加熱ヒーター340が内蔵されている。342は高周波電源であり、343はマッチングボックスである。原料ガスは、353、354の H_2 、 SiH_4 のガスポンベから351、352のそれぞれのマスフローコントローラーにより一定流量を供給された。 SiH_4 ガスのオン・オフは、排気ポンプ345と切り換え三方弁344により切り換え、成膜を行った。基板温度は前述の様に250℃、圧力は0.5 Torr、放電パワーは200W、 H_2 、 SiH_4 はそれぞれ200、3 sccmを供給した。 t_0 、 t_A はそれぞれ20、60 secであった。このステップを80回繰り返して、約500Åの i 型 $\mu c-Si$ 薄膜を堆積した。具体的に、各原料ガスの切換のタイミングを図5に示す。時間は放電開始からの時間である。

【0017】次に、基板は304室に移され、 n^+ 型 $\mu c-Si$ 薄膜を成膜した。図4において、361は電極を兼ねた基板支持台で、加熱ヒーター360が内蔵されている。362は高周波電源であり、363はマッチングボックスである。原料ガスは、374、375、376の H_2 、 SiH_4 、 PH_3 (H_2 希釈)のガスポンベから371、372、373のそれぞれのマスフローコントローラーにより一定流量を供給された。これらは図3と同様である。 SiH_4 、 PH_3 のオン・オフは、排気ポンプ365と切り換え三方弁364により切り換え、成膜した。基板温度は250℃、圧力は0.5 Torr、放電パワーは200W、 SiH_4 、 H_2 はそれぞれ3、150 sccmであり、 PH_3/SiH_4 は約5000 ppmである。 t_0 、 t_A はそれぞれ20、60 secであった。このステップを160回繰り返して、

約1000Åの n^+ 型 $\mu c-Si$ 薄膜を堆積した。具体的に、各原料ガスの切換のタイミングを図6に示す。時間は放電開始からの時間である。成膜後、基板は305室を通って取り出され、次工程へと移行した。

【0018】本実施例により作成された素子は、 $t_A = 0$ 即ち連続的に $\mu c-Si$ 薄膜を堆積した素子と比較した場合、明らかに S/N 比及びバイアス印加時の V_{th} シフトの改善が見られた。同時に、このような成膜方法により堆積したサンプルのSIMS分析、断面TEM観察の結果、 i 型 $\mu c-Si$ 薄膜は堆積初期より $\mu c-Si$ の成長が認められた。更に、 n^+ 型 $\mu c-Si$ 薄膜の電気伝導度の膜厚依存性を電気伝導度の活性化エネルギーより求めた結果、著しい膜厚依存性は見られなかった。

【0019】(実施例2)

本発明方法を用いて、図7の光センサーを作成した。図7において、501はコーニング製7059ガラス基板、502はゲート電極、503は $a-SiN$ ゲート絶縁膜、504は活性層である i 型 $a-Si$ 薄膜、505はオーミック層である n^+ 型 $\mu c-Si$ 薄膜、506はソース・ドレイン電極、507は $a-SiN$ パッシベーション層である。

【0020】次に、この光センサーの作成方法の概略を下記に示す。第1に、コーニング製7059ガラス基板にスパッタリング装置により、Cr電極(約1000Å厚)を形成した。第2に、プラズマCVD装置により、 $a-SiN$ 薄膜(約3000Å厚)を成膜し、次いで、 i 型 $a-Si$ 薄膜(約6000Å厚)及び n^+ 型 $\mu c-Si$ 薄膜(約1500Å厚)を順次成膜した。第3に、スパッタリング装置により、Al電極(約1μ厚)を形成した。第4に、リアクティブ・イオン・エッチングにより、不要な n^+ 型 $\mu c-Si$ 層をエッチングし、更に不要な $a-SiN/i$ 型 $a-Si/n^+$ 型 $\mu c-Si$ 層をアイソレーションした。第5に、プラズマCVD装置により、 $a-SiN$ パッシベーション層を成膜した。

【0021】ここで、本発明のポイントとなる接合・堆積方法について詳細に述べる。上述の第2で述べた様に、基板は実施例1と同様に、基板温度350℃、圧力0.2 Torr、 SiH_4 、 NH_3 、 H_2 はそれぞれ10, 280, 90 sccm、放電パワー30Wにて $a-SiN$ 薄膜約3000Åを $t_A = 0$ で連続的に成膜した。続いて、基板温度250℃、圧力0.5 Torr、 SiH_4 、 H_2 はそれぞれ60, 540 sccm、放電パワー60Wにて、 i 型 $a-Si$ 薄膜約6000Åを $t_A = 0$ で連続的に成膜した。そして、 n^+ 型 $\mu c-Si$ 薄膜を成膜した。 i 型 $a-Si$ 薄膜の成膜後の n^+ 型 $\mu c-Si$ 薄膜の成膜は、実施例1と同様に、基板温度は250℃、圧力は0.5 Torr、放電パワーは200W、 SiH_4 、 H_2 はそれぞれ3, 150 sccm、 PH_3/SiH_4 は約5000ppmであり、図3及び図4に示した同種のプラズマCVD装置により行なわれ

た。原料ガス SiH_4 、 H_2 、 PH_3 (H_2 希釈)の内、 SiH_4 、 PH_3 ガスを240回オン・オフすることにより n^+ 型 $\mu c-Si$ 薄膜約1500Åを積層した。 t_b 、 t_A はそれぞれ20, 60 secであった。

【0022】本実施例により作成された素子は、 $t_A = 0$ 即ち連続的に n^+ 型 $\mu c-Si$ 薄膜を堆積した素子と比較した場合、明らかに光電流・光応答の改善が確認された。

【0023】(実施例3)

本発明方法を用いて図8のpin型光起電力素子(太陽電池)を作成した。図8において、601は基板、602は下部電極、603は n 型半導体、604は i 型半導体、605は p 型半導体、606は上部電極、607は集電電極を表す。

【0024】次に、この光起電力素子の作成方法の概略を以下に記す。第1に、ステンレス基板に、スパッタリング装置により、Agを5000Å堆積した後、さらにZnOを5000Å堆積して、下部電極を形成した。第2に、プラズマCVD装置により、 n 型 $\mu c-Si$ 薄膜(約400Å厚)を成膜し、次いで、 i 型 $a-Si$ 薄膜(約6000Å厚)、 p 型 $\mu c-Si$ 薄膜(約100Å厚)を順次成膜した。第3に、スパッタリング装置により、透明導電膜ITO(約700Å厚)電極を形成した。第4に、リアクティブ・イオン・エッチングにより、不要な p 型 $\mu c-Si/i$ 型 $a-Si/n$ 型 $\mu c-Si$ 層をアイソレーションした。第5に、スパッタリング装置により、Al電極を形成した。

【0025】ここで、本発明のポイントとなる接合プロセスについて詳細に述べる。上述の第2で述べた様に、 $p/i/n$ 各層の成膜は、実施例1と同様に、図3及び図4に示した様な同種のロードロック型プラズマCVD装置により行われた。先ず、 n 型 $\mu c-Si$ 薄膜を成膜した。成膜は、基板温度250℃、圧力0.5 Torr、 SiH_4 、 H_2 はそれぞれ3, 150 sccm、 PH_3/SiH_4 は約3000ppm、放電パワー200Wであり、原料ガス SiH_4 、 H_2 、 PH_3 (H_2 希釈)の内、 SiH_4 、 PH_3 ガスを t_b 、 t_A それぞれ20, 60 secで65回オン・オフし、約400Åの n 型 $\mu c-Si$ 薄膜を成膜した。次に、次室において、実施例2と同様に基板温度250℃、圧力0.5 Torr、 SiH_4 、 H_2 はそれぞれ60, 540 sccm、放電パワー60Wにて、 i 型 $a-Si$ 薄膜約6000Åを $t_A = 0$ で連続的に成膜した。更に次室へ搬送され、 p 型 $\mu c-Si$ 薄膜約100Åを成膜した。成膜方法は、基板温度250℃、圧力0.5 Torr、 SiH_4 、 H_2 はそれぞれ3, 150 sccm、 B_2H_6/SiH_4 は約3000ppm、放電パワー200Wであった。原料ガス SiH_4 、 H_2 、 B_2H_6 (H_2 希釈)の内、 SiH_4 、 B_2H_6 ガスを t_b 、 t_A それぞれ20, 60 secで15回オン・オフすることにより同様

に達成できた。

【0026】本実施例により作成された素子は、 $t_A = 0$ 即ち連続的にp層及びn層を堆積した素子と比較した場合、明らかに光電変換効率等の改善が確認された。

【0027】

【発明の効果】以上説明した様に、本発明によれば微結晶薄膜の成膜方法において、特に、デバイス作成時、非晶質薄膜に微結晶シリコン薄膜を接合する場合、成膜初期のa-Si層を作成することなく直ちに微結晶シリコンを堆積できる。そのため、電界効果型トランジスタ、光センサー、太陽電池などのデバイスにおいて、従来よりも光導電性、キャリア輸送性などの特性が向上する。更に、堆積膜厚を小さくできるなどの生産性に対する利点もある。

【図面の簡単な説明】

【図1】本発明の手順を示す図。

【図2】本発明の実施例1で示した電界効果型トランジスタの構成を示す図。

【図3】本発明を実施するための装置の一例を示す図。

【図4】本発明を実施するための装置の一例を示す図。

【図5】本発明の実施例1における手順を示す図。

【図6】本発明の実施例1における手順を示す図。

【図7】本発明の実施例2で示した光センサーの構成を示す図。

【図8】本発明に実施例3で示したpin型光起電力素子の構成を示す図。

【符号の説明】

201 ガラス基板

202 ゲート電極

203 ゲート絶縁層

204 i型半導体層

205 n⁺型半導体層

206 ソース・ドレイン電極

301, 302, 303, 304, 305 真空チャンバー

311, 312, 313, 314, 315, 345, 365 排気ポンプ

306, 307, 308, 309 仕切り弁

340, 360 基板加熱ヒーター

341, 361 アノード電極

10 342, 362 RF電源

343, 363 マッチングボックス

344, 364 三方切換弁

351, 352, 371, 372, 373 マスフローコントローラー

353, 354, 374, 375, 376 ガスボンベ

501 ガラス基板

502 ゲート電極

503 ゲート絶縁層

504 i型半導体層

505 n⁺型半導体層

20 506 ソース・ドレイン電極

507 パッシベーション層

601 ステンレス基板

602 下部電極

603 n型半導体層

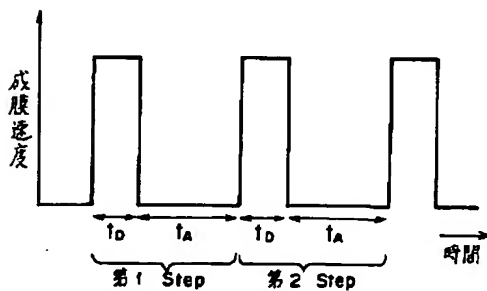
604 i型半導体層

605 p型半導体層

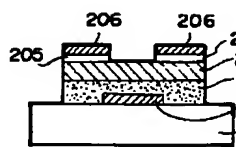
606 上部電極

607 集電電極

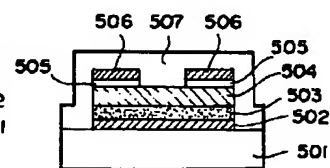
【図1】



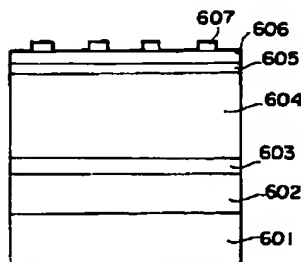
【図2】



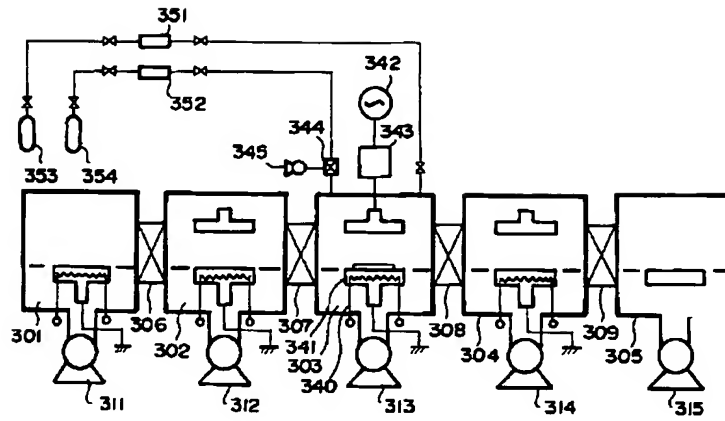
【図7】



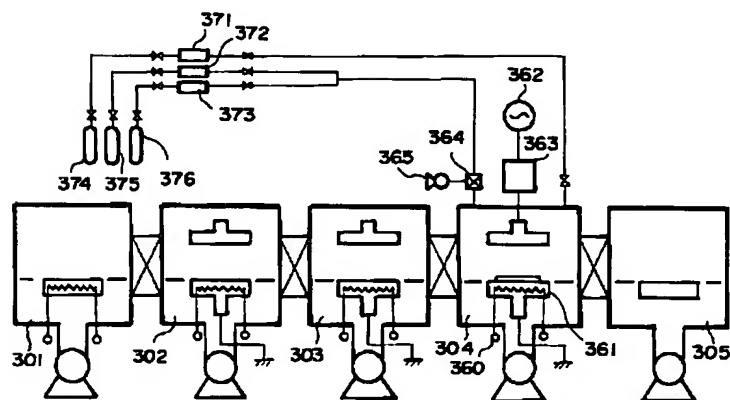
【図8】



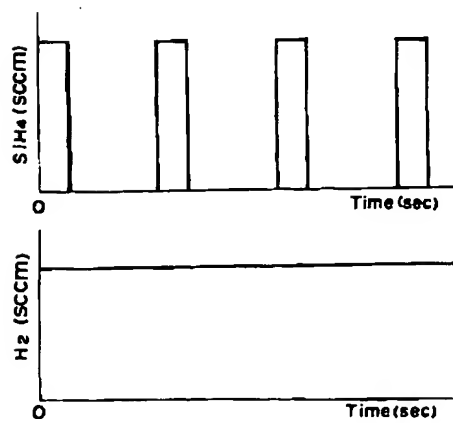
【図3】



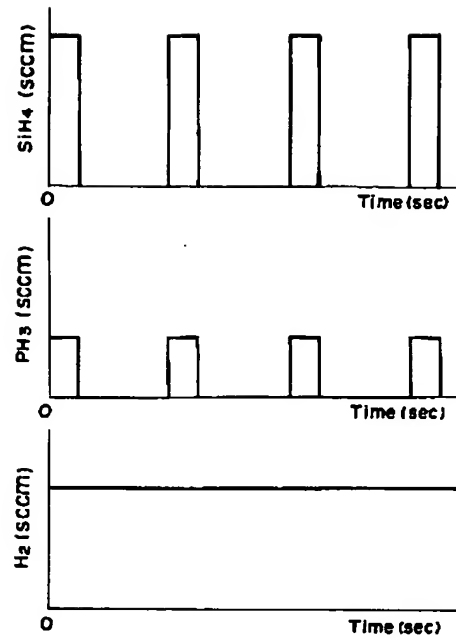
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 31/10

H 0 5 H 1/00

識別記号

庁内整理番号

F I

技術表示箇所

9014-2G

7630-4M

H 0 1 L 31/10

A